

CLIPPEDIMAGE= JP353113484A
PAT-NO: JP353113484A
DOCUMENT-IDENTIFIER: JP 53113484 A
TITLE: PRODUCTION OF SEMICONDUCTOR DEVICE
PUBN-DATE: October 3, 1978
INVENTOR-INFORMATION:
NAME
KAWAMURA, NOBUO
ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC CORP N/A
APPL-NO: JP52028485
APPL-DATE: March 14, 1977
INT-CL (IPC): H01L029/78; H01L021/28 ; H01L021/302 ;
H01L029/60
US-CL-CURRENT: 438/FOR.205, 438/FOR.352 , 438/217 , 438/289
, 438/612 , 438/656

ABSTRACT:

PURPOSE: To fine the gate structure of a NIS type semiconductor device by forming gate insulation film by oxide of Al , Hf, Ta, Ti, Zr, Nb etc. having large specific dielectric constant.

COPYRIGHT: (C)1978, JPO&Japio

⑨日本国特許庁
公開特許公報
⑩特許出願公開
昭53-113484

⑪Int. Cl.² 識別記号 ⑫日本分類 ⑬公开 昭和53年(1978)10月3日
H 01 L 29/78 99(5) E 3 6603-57
H 01 L 21/28 99(5) C 1 7216-57 発明の数 1
H 01 L 21/302 99(5) C 3 7113-57 審査請求 未請求
H 01 L 29/60

(全5頁)

⑤半導体装置の製造方法

⑥特 願 昭52-28485
⑦出 願 昭52(1977)3月14日
⑧發明者 河村信雄

東京都港区芝五丁目33番1号
日本電気株式会社内

⑨出願人 日本電気株式会社
東京都港区芝五丁目33番1号
⑩代理人 弁理士 内原晋

明細書

発明の名称 半導体装置の製造方法

特許請求の範囲

1 オ一導電型の基板半導体結晶表面又はオ一導電型の基板半導体表面に200オングストローム以下の厚さの二酸化珪素膜を被覆した基板表面にオ一の金属膜を被覆する工程、前記工程で得た基板表面の一部の領域をホトレジスト膜又は酸化シリコン膜にて覆う工程、該ホトレジスト膜又は酸化シリコン膜をマスクとして露出した領域のオ一の金属膜を陽極化又は加熱酸化により酸化物化する工程、前記工程に続き基板表面にオ二の金属膜を被覆する工程、前記ホトレジスト膜又は酸化シリコン膜上のオ二の金属膜を該ホトレジスト膜又は酸化シリコン膜と共に除去する工程および前記ホトレジスト膜又は酸化シリコン膜下に存在したオ一の金属膜を除去する工程、以上の諸工程を含むと特徴と

するMIS(金属-絶縁膜-半導体)構造を含む半導体装置の製造方法。

2 オ一の金属として、アルミニウム、ヘフニウム、タンタル、チタン、ジルコニウム、ニオブもしくは10%以下のシリコンを含む上記金属を用いた特許請求の範囲オ1項記載の半導体装置の製造方法。

3 オ二の金属として、モリブデン又はタンゲスタンを用いた特許請求の範囲オ1項およびオ2項記載の半導体装置の製造方法。

発明の詳細な説明

本発明は、微細なMIS(金属-絶縁膜-半導体)構造を含む半導体装置の製造方法に関するものである。

近年LSIの高密度化および高速化のために、それに収載される個々の電子や配線構造は微細化の一途をたどり、短チャネル絶縁ゲート電界効果トランジスタ(以下IGFETと呼ぶ)を例に取つても、周知のことくゲート長約1μmのIG-

(1)

-555-

(2)

FETの開発実用化が当該分野の関心事となつてゐる。

以下、説明の便宜上、IGFETを例として説明することとする。

図1は、多結晶シリコンをゲート電極材料とした通常構造の短チャネルIGFETの断面構造の一例を示したものである。

図1において、11は比抵抗約10Ωcmのp型シリコン基板結晶、12は厚さ300～500Åのオングストロームの二酸化シリコン膜、13はゲート電極を構成する厚さ0.3～0.5μm程度の低抵抗n型シリコン多結晶でそのゲート長Lは1～1.5μm程度である。14および15は拡散又はイオン注入と拡散の併用により形成された低抵抗n型領域でそれぞれソースおよびドレイン領域を形成している。

斯くの如き従来構造のIGFETは、構造の微細化と共に特に微細ゲート構造を再現的に精度よく加工することとの困難性およびIGFETとしての特性上いくつかの欠点を抱有している。以下、

(3)

この困難性を緩和するため、近來フロンガス・アラズマによる腐蝕が用いられているが、上記ホトレジスト膜層以下の腐蝕を除去することは不可能であり、この問題の満足し得る解決法にはなつていねい。

これらの結果、紫外線又は電子線を用いた露光により、ホトレジスト膜24の方は良好に微細形状を実現し得るにも拘らず、その直下に存在する被加工物を腐蝕加工する段階において良好なホトレジスト膜形状パターンを再生し得ず、結果として所望の微細形状を実現し得ないのが現状である。

また、ゲート電極に使用される多結晶シリコン膜は、通常LSIにおける配線材料としても用いられるが、該膜の比抵抗が金属膜に較べて約2倍大なるためLSIの高速動作に好ましくない。更に電気抵抗の小なる金属膜を、ゲート電極およびLSIの配線材料として使用することが望まれている所以である。

更に従来構造の短チャネルIGFETの特性上の欠点は、ゲート絶縁膜としての二酸化シリコン

これら製造工程上の困難性および特性上の欠点を詳述する。

図2は、上記IGFETのゲート部分構造を形成する主要工程を段階的に示したものである。

図2(a)は、p型基板結晶21の表面に厚さ300～500Åのオングストロームの二酸化シリコン膜22を形成し、該膜表面に厚さ約0.3～0.5μmの多結晶シリコン膜23を被覆形成し、該表面に更に幅1～1.5μmのホトレジスト膜24が形成されている段階を示す。

図2(b)は、ホトレジスト膜24をマスクとして多結晶シリコン膜を腐蝕し、ゲート電極を成形した段階を示す。

多結晶シリコン膜の腐蝕には従来化学薬品を用いた腐蝕が用いられてきたが、ホトレジスト膜24周辺下部の不規則な腐蝕が著しく球形形状のゲート電極を再現的に精度よく形成することは困難である。この困難性は多結晶シリコン膜の膜厚を薄くすることにより軽減されるが、それは該膜の電気抵抗を増し好ましくない。

(4)

膜の比誘電率(ニ3.8)が基板シリコンの比誘電率(ニ11.8)に較べて小なることに由来している。以下特性上の欠点を詳述する。

IGFETのソース・ドレイン間距離即ち実効チャネル長が短縮されるに伴い、ドレイン空乏層のソース領域への到達によるパンチスルーハードモード現象が生じ易くなる。この現象はIGFETの動作を不能にする。この現象を回避するためには、基板結晶の不純物濃度を増大せしめ、ドレイン空乏層の基底を短縮することが必要となる。

しかるに、基板不純物濃度の増大は、ドレイン接合容量を増大させIGFETの高速動作を妨げる飽和電圧の基板バイアス依存性を増大させLSIの回路設計を困難にする。即ち、IGFETの飽和電圧 V_{DS} は、

$$V_{DS} \approx V_{DS} + 2\phi_f + \sqrt{2\cdot\phi_{BS}^2 - (2\phi_f + V_{DS})/U_{ox}}$$

にて与えられる。ここで、 V_{DS} ：フラットパンチ電圧、 $\phi_f = (\epsilon\cdot\tau/\rho) \ln(N/n_i)$ ： ϵ ：エレクトロニクスエネルギー、 ϕ_{BS} ：基板半導体の比誘電率、 N ：基板結晶中の不純物濃度、 V_{DS} ：ソース・

(5)

(5)

基板間電圧、 C_{ox} ：単位面積当たりのゲート絶縁膜容量である。

V_{TH} の V_{sub} による変化を小ならしめる他の方法は、 C_{ox} を増大させることである。このためには、より薄い二酸化シリコン膜の使用又は比誘電率の大きなゲート絶縁膜の使用が好ましい。

現在チャネル長 $1 \mu m$ 程度の短チャネル IGFETにおいては、通常厚さ $300 \sim 400$ オンスストロームの二酸化シリコン膜が用いられているが、この厚さを更に低減することはピンホール密度の拡大のため技術的に極めて困難な状況にある。従つて比誘電率の一層大なる膜をゲート絶縁膜として用いる事が好ましい。

短ゲート IGFET における特性上の他の欠点は、端電圧以下領域におけるリーク電流にある。該領域におけるドレイン電流 I_{DS} 一ゲート電圧 V_g 特性の勾配は、

$$\frac{dV_g}{d(\ln I_{DS})} = 1 + (C_D + C_{SS}) / C_{ox}$$

ここで C_D は基板結晶内空乏層容量、 C_{SS} は表面単位容量である。該勾配は、

(7)

困難性を軽減するため、MOSメモリの高密度化の点でも有効である。

以上詳述した如く、比誘電率の大なる絶縁膜を用いた微細構造の MIS (金属-絶縁膜-半導体) 系を実現する技術は、MOS LST 等の微細な MIS 構造を含む半導体装置において当面する多くの困難性を緩和し直めて重要である。

本発明は、かくの如き要請を満足するようにした微細な MIS 構造を容易に実現し得る製造方法を提供するものである。

本発明の特徴は、オーナード電型の基板半導体結晶表面又はオーナード電型の基板半導体表面に 200 オンストローム以下の厚さの二酸化珪素膜を被覆した基板表面にオーナーの金属膜を被覆する工程、前記工程で得た基板表面の一部の領域をホトレジスト膜又は酸化シリコン膜にて覆う工程、該ホトレジスト膜又は酸化シリコン膜をマスクとして露出した領域のオーナーの金属膜を酸化成又は加熱酸化により酸化物化する工程、前記工程に続き基板表面にオーナーの金属膜を被覆する工程、前記ホトレジス

(8)

V_{TH} の下限を制限し LSI の高速化および低電力化を防げ好ましくない。

該欠点を軽減するためには C_{ox} を大ならしめることが望ましく、前記同様比誘電率の大なるゲート絶縁膜の使用が好ましい。

IGFET の単位ゲート幅当たりの相互コンダクタンス G_m は、短チャネル化に伴うキャリヤドリフト速度の飽和のためその上限は $G_m \approx C_{ox} V_s$ に制限される。ここで V_s はキャリヤの飽和ドリフト速度である。一方、LSI の大規模化に伴いフィルドオキサイド上の記憶容量は増大し、IGFET の駆動能力制限と相換つて LSI の動作速度を制限する。従つてこの点からも、比誘電率の大なるゲート絶縁膜の利用は、 C_{ox} の増大による G_m を改良し LSI の高速化に有効である。

また、ダイナミック MOS メモリは、大容量化に伴い (電荷蓄積用容量) / (データ線容量) の比が減少し、読みとり信号レベルの減少による読みとりの困難性を増大しつつある。比誘電率の大なる絶縁膜の使用は、上記容量比を増大させ該

(8)

ト膜又は酸化シリコン膜上のオーナーの金属膜を除くトレジスト膜又は酸化シリコン膜と共に除去する工程および前記ホトレジスト膜又は酸化シリコン膜下に存在したオーナーの金属膜を除去する工程、以上の諸工程を含むことになり、MIS (金属-絶縁膜-半導体) 制造を含む半導体装置の各々の例に適用して直めて良い結果を与える。

オーナーの金属として良い成績を示す材料の一例を挙げれば、アルミニウム、ハフニウム、タンタル、チタン、ジルコニウム、ニオブなどが、更には 10% 以下のシリコンを含む上記金属などがある。又オーナーの金属としては、セリブデンやタンクスランなどが良い成績を示すものの一例である。

以下、本発明への理解を助けるため、より具体的な実施の一例として IGFET のゲート構造を形成する場合につき図面を用いて詳述する。
従来例および本発明を共に IGFET を例に詳述することになるが、これは單に説明および理解を容易にするための配慮であつて、何ら本発明を限定するものないことは当然である。

(10)

第3図は、本発明による短チャネルIGFETのゲート部分を形成する工程を段階的に示した図である。

第3図(a)は、比抵抗約0.5Ωcmのp型シリコン基板結晶31の表面に厚さ約100オングストロームの二酸化シリコン膜32を高温酸化により形成し、該酸化膜表面に厚さ約300オングストロームのアルミニウム膜33を真空蒸着により形成し、更に該膜表面上のゲート電極形成領域以外の領域表面をホトレジスト膜34にて覆つた状態を示す。

前記の如く、写真蝕刻技術の進歩によりホトレジスト膜パターンは精度よく加工形成が可能であり、アルミニウム膜の露出された領域幅が例えば1μm程度であれば精度よくパターン化することは容易である。

第3図(b)は、該ホトレジスト膜34をマスクとして陽極化成すること等により、露出された領域のアルミニウム膜を酸化し酸化アルミニウム膜35を形成する。――

(11)

イン工程により実現され、写真蝕刻工程における高度のパターン位置合せ技術を要することなく短チャネルIGFET等の微細なMIS(金属-絶縁体-半導体)構造を半導体装置が実現することである。

また本製造方法によりつくられるIGFET等々の半導体装置に与ぼす特性上の利点は、ゲート絶縁膜材料として比誘電率の大きな材料を使用し得ることに由来し、二酸化シリコン膜を用いる通常IGFETなどに比べて前記特性上の諸欠点を著しく改良し得ることにある。

上記実施例においては、ゲート絶縁膜用の酸化されるべき金属としてアルミニウムを用いたが、本発明の目的のためにはアルミニウムの他ハニウム、タンタル、チタン、ジルコニウム、ニオブおよび微量のシリコンを含むこれらの金属を用いることも可能である。何故ならばこれら金属の酸化物はそれぞれ約18, 27, 100, 9および33の高い比誘電率を有するからである。また、ハニウム、チタン、ジルコニウム等は、酸化性

第3図(c)は、前記第3図(b)の状態の試料表面に、厚さ約0.3μmのモリブデン膜36を真空蒸着等の方法により被覆した状態を示す。

第3図(d)は、該ホトレジスト膜上のモリブデン膜と共に除し、更にホトレジスト膜下のアルミニウム膜を除去することにより、IGFETの好ましいゲート構造を実現した状態を示す。

第3図(e)は、通常の不純物拡散又はイオン注入と拡散法の併用により低抵抗のn形領域37および38を形成し、それぞれソースおよびドレイン領域として完成させた状態を示す。

以上、一実施例につき本発明の内容を詳述したが、本発明の特徴は、化学薬品による処理又はプラズマエッチ処理等を用いた従来の露出しパターン形成における困難性が全く排除されており、従来方法以上の容易性をもつて微細ゲート構造がほりホトレジスト膜の精度良い形状を保ち実現し得る利点である。

また他の利点は、ソースもしくはドレイン等の露出しパターン周辺領域の形成がいわゆるセルフアフ

(12)

多段気中400℃程度の低温にて酸化が可能なため、陽極化成に代つて熱的酸化法も利用可能である。

また上記実施例においては、金属膜の耐酸化マスクとしてホトレジスト膜を用いたが、ホトレジスト膜に代えて低温化学蒸着による薄い酸化シリコン膜も利用し得る。それは酸化シリコン膜もその厚さが極めて薄い場合には通常の方法にて精度良い微細パターン加工が可能となることによる。特に該酸化シリコン膜マスクの使用は、上記ハニウム、チタン、ジルコニウムを熱酸化する場合に適用して有用である。

また上記実施例においては、ゲート金属としてモリブデンを用いたが、タンクステン等も好ましい材料の一つである。

また上記実施例においては、基板シリコン表面に二酸化シリコン膜をはさみアルミニウム膜を被覆形成した。該二酸化シリコン膜は、陽極化成による酸化アルミニウム膜と基板シリコンとの直接接触による表面単位密度の増大を軽減する機能

(13)

を有するが、本発明における必須要件ではない。更に前記実施例においては基体半導体としてシリコンを用いた場合につき記述したが、砒化ガリウム等他の半導体を用いることも可能なことは云うまでもない。

以上詳述の如く本発明は著しく特性の改良された短チャネルIGFET等微細MIS構造を含む半導体装置の製造方法として広い範囲に適用し得ると共に極めて有効である。

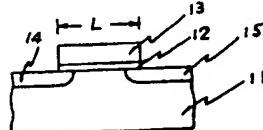
図面の簡単な説明

オ1図は、従来知られている多結晶シリコンをゲート電極とする絶縁ゲート効果トランジスタの構造の典型例を示す断面図である。

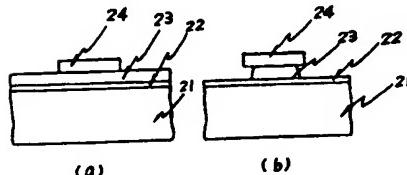
オ2図は、オ1図に示された絶縁ゲート効果トランジスタのゲート部分を形成する工程を段階的に示した図である。

オ3図は、本発明の製造方法を説明する一例として、絶縁ゲート効果トランジスタのゲート部分を形成する工程を段階的に示した図である。

(15)



第1図.

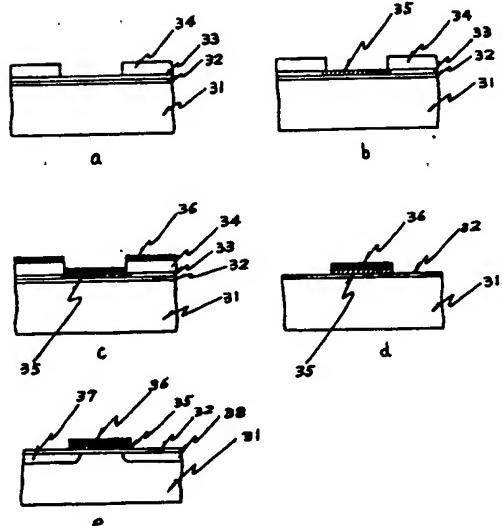


第2図.

代理人弁理士内藤晋



(16)



第3図